

(4) Japanese Patent Application Laid-Open No. 2001-284558 (2001)

“Stacked Semiconductor Substrate, Method of Manufacturing the Same, and Semiconductor Device”

5 The following is the extract relevant to the present invention:

It is an object of this invention to provide a stacked semiconductor substrate which is impervious to a high temperature process and provides for further increase in an operation speed of a semiconductor device, a method of manufacturing the
10 semiconductor substrate, and a semiconductor device formed using the semiconductor substrate.

The stacked semiconductor substrate includes a semiconductor substrate 10, an insulating film 12 formed on the semiconductor substrate 10, and a semiconductor layer 14 which is formed on the insulating film 12 and includes a strained lattice
15 structure.

(51)Int.Cl.	識別記号	F I	マークド (参考)
H01L 27/12		H01L 27/12	B 5F045
21/20		21/20	5F052
21/205		21/205	5F110
29/786		29/78	618 B
21/336			627 D

審査請求 未請求 請求項の数 4 O L (全9頁)

(21)出願番号	特願2000-96412(P2000-96412)	(71)出願人 000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番 1号
(22)出願日	平成12年3月31日(2000.3.31)	(72)発明者 粟野 純二 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内 (74)代理人 100087479 弁理士 北野 好人

最終頁に続く

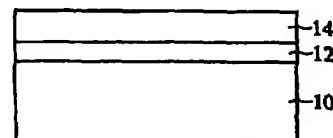
(54)【発明の名称】積層半導体基板及びその製造方法並びに半導体装置

(57)【要約】

【課題】 高温のプロセスに耐え得るとともに、半導体装置の更なる動作速度の向上を実現しうる積層半導体基板及びその製造方法並びにその積層半導体基板を用いた半導体装置を提供する。

【解決手段】 半導体基板10上に形成された絶縁膜12と、絶縁膜12上に形成され、格子歪を有する半導体層14とを有している。

本発明の一実施形態による積層半導体基板を示す断面図



10…シリコン基板
12…シリコン酸化膜
14…シリコン層

【特許請求の範囲】

【請求項1】 半導体基板上に形成された絶縁膜と、前記絶縁膜上に形成され、格子歪を有する半導体層とを有することを特徴とする積層半導体基板。

【請求項2】 請求項1記載の積層半導体基板において、

前記半導体層は、Si、SiGe、SiGeC、又はSiCより成ることを特徴とする積層半導体基板。

【請求項3】 第1の半導体基板上に、少なくとも表面側に格子歪が導入された格子歪層を有する半導体層を形成する工程と、

前記半導体層上に、絶縁膜を形成する工程と、

前記半導体層と前記絶縁膜との界面より深い領域に、結晶結合を切断する物質を導入する工程と、

前記絶縁膜上に第2の半導体基板を重ね合わせて、前記絶縁膜と前記第2の半導体基板とを固着する工程と、

熱処理により、前記結晶結合を切断する物質が導入された領域において、前記第1の半導体基板と前記半導体層と前記絶縁膜と前記第2の半導体基板とを有する積層体を分断する工程とを有し、

前記第2の半導体基板上に前記絶縁膜を介して前記歪格子層が形成された積層半導体基板を製造することを特徴とする積層半導体基板の製造方法。

【請求項4】 半導体基板上に形成された絶縁膜と、前記絶縁膜上に形成され、格子歪を有する半導体層と、前記半導体層上にゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極の両側の前記半導体層に形成されたソース/ドレイン拡散層とを有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、積層半導体基板及びその製造方法並びにその積層半導体基板を用いた半導体装置に係り、特に半導体装置の動作速度の向上を実現しうる積層半導体基板及びその製造方法並びにその積層半導体基板を用いた半導体装置に関する。

【0002】

【従来の技術】 近年、電子機器の情報処理量の増大に伴い、CMOSトランジスタ等の更なる動作速度の向上が求められている。

【0003】 CMOSトランジスタの動作速度を向上するためには、キャリア移動度の高い材料をチャネル層に用いることが考えられる。

【0004】 例えば、Kern Rim et al., Extended Abstracts of the 1998 International Conference on Solid State Device and Materials, Hiroshima, 1998, p.92-93には、n-MOSトランジスタのチャネル層として、結晶歪を有するシリコン層を用いることにより、キャリア移動度を50%以上向上し得る技術が提案されて

いる。

【0005】 このような、結晶歪を有するシリコン層は、格子緩和されたシリコングルマニウム層上にシリコン層を成長することにより形成することができる。

【0006】 また、T.Mizuno et al., 1999 IEEE, IEDM 99, p.934-936には、p-MOSトランジスタのチャネル層として、結晶歪を有するシリコン層を用いることにより、キャリア移動度を30%程度向上しうる技術が提案されている。

【0007】

【発明が解決しようとする課題】 しかしながら、提案されている上記技術では、シリコングルマニウムとシリコンとのヘテロ接合構造が熱酸化等の高温処理に耐えられないため、プロセス上の制約があった。

【0008】 また、更なる動作速度の向上のためには、SOI(Silicon On Insulator)基板を用いてCMOSトランジスタとシリコン基板との間の容量を小さくすることが考えられるが、結晶歪を有するシリコン層を絶縁膜上に形成することは困難であった。

【0009】 本発明の目的は、高温のプロセスに耐え得るとともに、半導体装置の更なる動作速度の向上を実現しうる積層半導体基板及びその製造方法並びにその積層半導体基板を用いた半導体装置を提供することにある。

【0010】

【課題を解決するための手段】 上記目的は、半導体基板上に形成された絶縁膜と、前記絶縁膜上に形成され、格子歪を有する半導体層とを有することを特徴とする積層半導体基板により達成される。これにより、格子歪を有する半導体層の下に格子緩和したシリコングルマニウム

層等が形成されていないため、相互拡散が生じるのを抑制することができ、高温のプロセスに耐えることができる。また、格子歪を有する半導体層の下に絶縁膜が形成されているので、半導体層と半導体基板との間の容量を低減することができ、半導体装置の更なる動作速度の向上を実現することができる。

【0011】 また、上記の積層半導体基板において、前記半導体層は、Si、SiGe、SiGeC、又はSiCより成ることが望ましい。

【0012】

また、上記目的は、第1の半導体基板上に、少なくとも表面側に格子歪が導入された格子歪層を有する半導体層を形成する工程と、前記半導体層上に、絶縁膜を形成する工程と、前記半導体層と前記絶縁膜との界面より深い領域に、結晶結合を切断する物質を導入する工程と、前記絶縁膜上に第2の半導体基板を重ね合わせて、前記絶縁膜と前記第2の半導体基板とを固着する工程と、熱処理により、前記結晶結合を切断する物質が導入された領域において、前記第1の半導体基板と前記半導体層と前記絶縁膜と前記第2の半導体基板とを有する積層体を分断する工程とを有し、前記第2の半導体基板上に前記絶縁膜を介して前記歪格子層が形成された

積層半導体基板を製造することを特徴とする積層半導体基板の製造方法により達成される。これにより、格子歪を有する半導体層の下に格子緩和したシリコングルマニウム層等が形成されていないため、相互拡散が生じるのを抑制することができ、高温のプロセスに耐えることができ、かつ、素子の信頼性を高めることが期待できる。また、格子歪を有する半導体層の下に絶縁膜が形成されているので、半導体層と半導体基板との間の容量を低減することができ、半導体装置の更なる動作速度の向上を実現することができる。

【0013】また、上記の積層半導体基板の製造方法において、前記積層体を分断する工程では、前記第1の半導体基板中において前記積層体を分断し、前記積層体を分断する工程の後に、前記格子歪層が露出するまで前記第2の半導体基板上の少なくとも前記第1の半導体基板を除去する工程を更に有することができる。

【0014】また、上記の積層半導体基板の製造方法において、前記積層体を分断する工程では、前記半導体層中において前記積層体を分断し、前記積層体を分断する工程の後に、前記格子歪層が露出するまで前記半導体層を除去する工程を更に有することができる。

【0015】また、上記の積層半導体基板の製造方法において、前記半導体層を形成する工程は、前記第1の半導体基板上に、少なくとも表面側において前記第1の半導体基板と格子定数が異なる半導体層を形成する工程と、前記格子定数が異なる半導体層上に前記格子歪層を形成する工程とを有することができる。

【0016】また、上記目的は、半導体基板上に形成された絶縁膜と、前記絶縁膜上に形成され、格子歪を有する半導体層と、前記半導体層上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の両側の前記半導体層に形成されたソース／ドレイン拡散層とを有することを特徴とする半導体装置により達成される。これにより、格子歪を有する半導体層の下に格子緩和したシリコングルマニウム層等が形成されていないため、相互拡散が生じるのを抑制することができ、高温のプロセスに耐えることができる。また、格子歪を有する半導体層の下に絶縁膜が形成されているので、半導体層と半導体基板との間の容量を低減することができ、半導体装置の更なる動作速度の向上を実現することができる。

【0017】

【発明の実施の形態】本発明の一実施形態による積層半導体基板及びその製造方法を図1乃至図4を用いて説明する。図1は、本実施形態による積層半導体基板を示す断面図である。図2及び図3は、本実施形態による積層半導体基板の製造方法を示す工程断面図である。図4は、シリコン基板上にシリコングルマニウム層を形成した場合の、ゲルマニウム組成と臨界膜厚との関係を示すグラフである。

【0018】(積層半導体基板)まず、本実施形態によ

る積層半導体基板について図1を用いて説明する。

【0019】図1に示すように、シリコン基板10上には、膜厚10nm～3μmのシリコン酸化膜12が形成されている。シリコン酸化膜12上には、引っ張り歪みを有する膜厚5nm～1.5μmのシリコン層14が形成されている。

【0020】こうして本実施形態による積層半導体基板が構成されている。

【0021】本実施形態による積層半導体基板は、引っ張り歪みを有するシリコン層14の下に格子緩和したシリコングルマニウム層が形成されていないことに主な特徴の一つがある。上述した提案されている技術では、シリコン層の下に格子緩和したシリコングルマニウム層が形成されているため、高温のプロセスによりシリコングルマニウム層とシリコン層との間で相互拡散が生じてしまうことがあったが、本実施形態では、シリコン層14の下にシリコングルマニウム層が形成されていないため、かかる相互拡散が生じることはなく、高温のプロセスに耐えることができる。

【0022】そして、引っ張り歪みを有するシリコン層14は通常のシリコン層よりキャリア移動度が高いため、このようなシリコン層14をチャネル層に適用することにより、CMOSトランジスタの動作速度を向上することができる。

【0023】また、本実施形態による積層半導体基板は、引っ張り歪みを有するシリコン層14の下に、シリコン酸化膜12が形成されることにも主な特徴の一つがある。従来は、引っ張り歪みを有するシリコン層をシリコン酸化膜上に形成することは困難であったが、本実施形態では、後述する方法によりこのような構造の積層半導体基板を製造することができる。引っ張り歪みを有するシリコン層14の下にシリコン酸化膜12が形成されているので、CMOSトランジスタとシリコン基板10との間の容量を低減することができ、更なる動作速度の向上を実現することができる。

【0024】(積層半導体基板の製造方法)次に、本実施形態による積層半導体基板の製造方法を図2及び図3を用いて説明する。

【0025】まず、シリコン基板16を用意する(図2(a)参照)。

【0026】次に、シリコン基板16上に、減圧CVD(Chemical Vapor Deposition、化学気相堆積)法により、臨界膜厚より厚い膜厚のシリコングルマニウム層18を形成する。シリコングルマニウム層18を臨界膜厚より厚く形成することにより、バルクのシリコングルマニウムと同様の格子定数のシリコングルマニウム層18が形成される。

【0027】図4は、シリコン基板上にシリコングルマニウム層を形成した場合の、Ge組成と臨界膜厚との関係を示すグラフである。下側の横軸はシリコングルマニ

ウム層のGe組成を示しており、縦軸はシリコングルマニウムの臨界膜厚を示しており、上側の横軸はシリコンに対するシリコングルマニウムの格子不整合を示している。

【0028】図4から分かるように、シリコングルマニウム層18のGe組成を例えば0.1とする場合には、シリコングルマニウム層18の膜厚は例えば1μmとすればよい。

【0029】次に、シリコングルマニウム層18上に、例えばCVD法により、膜厚20nmのシリコン層14を形成する。シリコンの格子定数は、シリコングルマニウムの格子定数より小さいため、引っ張り歪を有するシリコン層14が形成される(図2(b)参照)。

【0030】次に、全面に、例えばCVD法により、膜厚10nm~3μmのシリコン酸化膜12を形成する(図2(c)参照)。酸化温度は、シリコン及びシリコングルマニウムの結晶成長温度より低い温度とする。かかる温度より高い温度で酸化すると、シリコンとシリコングルマニウムとの間で相互拡散が生じ、所望のシリコン層14が得られなくなるからである。

【0031】次に、イオン注入法により、シリコングルマニウム層18中に水素イオンを注入する。イオン注入条件は、例えば、水素イオンのドーズ量を $10^{11} \sim 10^{12} \text{ cm}^{-2}$ とする。なお、図2(d)乃至図3(b)において破線で示されている領域は、水素イオンが導入された領域を示している。

【0032】次に、RCA(Radio Corporation of America)洗浄法により、シリコン酸化膜12の表面を洗浄する(図2(d)参照)。

【0033】次に、表面にシリコン自然酸化膜(図示せず)が形成されたシリコン基板10を用意する。

【0034】次に、シリコングルマニウム層18、シリコン層14、及びシリコン酸化膜12を介して、シリコン基板10とシリコン基板16とを重ね合わせる。これにより、シリコン酸化膜12がシリコン基板10に固定される(図3(a)参照)。

【0035】次に、1100°C、2時間の熱処理を行う。この熱処理により、水素が注入された領域において結晶構造が切断される。この熱処理には、例えばレーザアニール法を用いることができる。レーザアニール法を用いて熱処理を行えば、温度を局所的に上昇することができるので、他の層との相互拡散を抑制しつつ熱処理を行うことができる。

【0036】次に、シリコン基板16をシリコン基板10から剥離する。これにより、シリコン基板10上に、シリコン酸化膜12、シリコン層14、及び一部のシリコングルマニウム層18が残る(図3(b)参照)。

【0037】次に、CMP(Chemical Mechanical Polishing、化学的機械的研磨)法により、シリコン層14表面が露出するまで、シリコングルマニウム層18を研

磨する。これにより、シリコン層14上のシリコングルマニウム層18は除去されるが、シリコン層14の引っ張り歪はシリコン酸化膜12により維持される。こうして、本実施形態による積層半導体基板が製造される(図3(c)参照)。

【0038】(半導体装置及びその製造方法)次に、本実施形態による積層半導体基板を用いた半導体装置及びその製造方法を図5乃至図7を用いて説明する。図5は、本実施形態による積層半導体基板を用いた半導体装置を示す断面図である。図6及び図7は、本実施形態による積層半導体基板を用いた半導体装置の製造方法を示す工程断面図である。

【0039】まず、本実施形態による積層半導体基板を用いた半導体装置について図5を用いて説明する。

【0040】図5に示すように、シリコン基板10上には、シリコン酸化膜12が形成されている。シリコン酸化膜12上には、引っ張り歪を有するシリコン層14が形成されている。

【0041】シリコン層14には、素子領域を画定する素子分離領域20が形成されている。素子分離領域20により画定された素子領域には、n形半導体層22a及びp形半導体層22bが形成されている。

【0042】n形半導体層22a、p形半導体層22b上には、それぞれゲート絶縁膜24が形成されている。ゲート絶縁膜24上には、それぞれゲート電極26a、26bが形成されている。ゲート電極26a、26bの側面には、シリコン酸化膜より成るサイドウォール絶縁膜28が形成されている。

【0043】n形半導体層22aには、サイドウォール絶縁膜28が形成されたゲート電極26aに自己整合で、p形不純物が高濃度に導入されたソース/ドレイン拡散層30aが形成されている。ソース/ドレイン拡散層30a上には、ソース/ドレイン電極32が形成されている。こうして、p-MOSトランジスタ34aが構成されている。

【0044】一方、p形半導体層22bには、サイドウォール絶縁膜28が形成されたゲート電極26bに自己整合で、n形不純物が高濃度に導入されたソース/ドレイン拡散層30bが形成されている。ソース/ドレイン拡散層30b上には、ソース/ドレイン電極32が形成されている。こうして、n-MOSトランジスタ34bが形成されている。

【0045】このようにして構成されたCMOSトランジスタは、引っ張り歪を有する半導体層14がチャネル層に用いられているため、高いキャリア移動度を実現することができる。しかも、半導体層14の下にシリコン酸化膜12が形成されているため、トランジスタ34a、34bとシリコン基板10との間の容量を小さくすることができる。従って、本実施形態によれば、動作速度の速い半導体装置を提供することができる。

【0046】次に、本実施形態による積層半導体基板を用いた半導体装置の製造方法を図6及び図7を用いて説明する。

【0047】まず、図1に示す積層半導体基板と同様の積層半導体基板を用意する(図6(a)参照)。

【0048】次に、LOCOS (LOCal Oxidation of S ilicon) 法又はシャロートレンチ法により、素子領域を画定する素子分離領域20を形成する。

【0049】次に、素子分離領域20により画定された素子領域に不純物を導入し、これによりn形半導体層22a及びp形半導体層22bを形成する(図6(b)参照)。

【0050】次に、全面に、熱酸化法により、膜厚3nmのゲート絶縁膜24を形成する。

【0051】次に、全面に、CVD法によりポリシリコン層を形成する。この後、フォトリソグラフィ技術を用いて、ポリシリコン層をパターニングすることにより、ポリシリコンより成るゲート電極26a、26bを形成する。

【0052】次に、全面に、膜厚50nmのシリコン酸化膜を形成する。この後、シリコン酸化膜をエッティングし、ゲート電極26a、26bの側面に、シリコン酸化膜より成るサイドウォール絶縁膜28を形成する(図6(c)参照)。

【0053】次に、紙面左側の素子領域を開口するフォトレストマスク(図示せず)を形成する。この後、このフォトレストマスクをマスクとし、サイドウォール絶縁膜28が形成されたゲート電極26aに自己整合でp形不純物を高濃度に導入することにより、ソース/ドレイン拡散層30aを形成する。

【0054】次に、紙面右側の素子領域を開口するフォトレストマスク(図示せず)を形成する。この後、このフォトレストマスクをマスクとし、サイドウォール絶縁膜28が形成されたゲート電極26bに自己整合でn形不純物を高濃度に導入することにより、ソース/ドレイン拡散層30bを形成する(図7(a)参照)。

【0055】次に、ソース/ドレイン拡散層30a、30b上に、それぞれソース/ドレイン電極32を形成する。こうして、p-MOSトランジスタ34a、n-MOSトランジスタ34bが、それぞれ形成される。

【0056】このように、本実施形態によれば、CMOSトランジスタのチャネル層に引っ張り歪を有する半導体層が用いられているため、高いキャリア移動度を実現することができる。しかも、半導体層の下にシリコン酸化膜が形成されているため、CMOSトランジスタとシリコン基板との間の容量を小さくすることができる。従って、本実施形態によれば、動作速度の速い半導体装置を提供することができる。

【0057】[変形実施形態] 本発明は上記実施形態に限らず種々の変形が可能である。

【0058】例えば、上記実施形態では、水素イオンをシリコングルマニウム層18中に注入したが、水素イオンを注入する領域は、シリコングルマニウム層18中に限定されるものではなく、シリコン層14中やシリコン基板16中でもよい。

【0059】また、上記実施形態では、シリコン及びシリコングルマニウムの結晶成長温度より低い温度でシリコン酸化膜12を形成したが、かかる結晶成長温度より高い温度でシリコン酸化膜12を形成してもよい。この場合には、シリコン酸化膜12を形成するプロセスにおいて、シリコンとシリコングルマニウムとの間で相互拡散が生じる場合があるが、図2(b)に示す工程でシリコン層14を予め厚く形成しておき、図3(c)に示す工程で相互拡散が生じた領域をも研磨すればよい。

【0060】また、上記実施形態では、引っ張り歪を有するシリコン層14を用いる場合を例に説明したが、引っ張り歪を有するシリコン層に限定されるものではなく、格子歪を有する半導体層を広く用いることができる。例えば、圧縮歪を有するシリコングルマニウム層は正孔の移動度が高いことが知られているため、圧縮歪を有するシリコングルマニウム層を用いてもよい。圧縮歪を有するシリコングルマニウム層は、シリコングルマニウムより格子定数の小さな半導体であるシリコンやSiCより成る基板上に形成することができる。例えば、図2(b)に示す工程で、臨界膜厚より薄くシリコングルマニウム層18を形成すれば圧縮歪を有するシリコングルマニウム層を形成することができ、その後シリコン層14を形成することなく図2(c)乃至図3(c)に示す工程で製造を行えば、図8に示すように、圧縮歪を有するシリコングルマニウム層36が形成された積層半導体基板を製造することができる。

【0061】また、上記実施形態では、図2(b)に示す工程で、シリコン基板上16にシリコングルマニウム層18及びシリコン層14を順次形成したが、シリコン基板16上にシリコングルマニウム層18及びSiGeC層を順次形成してもよい。これにより、図9(a)に示すように、引っ張り歪を有するSiGeC層38が形成された積層半導体基板を提供することができる。また、図2(b)に示す工程で、シリコン基板16上にSiGeC層を形成してもよい。これにより、図9(b)に示すように、引っ張り歪を有するSiGeC層40が形成された積層半導体基板を提供することができる。また、図2(b)に示す工程で、シリコン基板16上にシリコングルマニウム層及びSiC層を順次形成してもよい。これにより、図9(c)に示すように、引っ張り歪を有するSiC層42が形成された積層半導体基板を提供することができる。また、図2(b)に示す工程で、シリコン基板上にSiC層を形成してもよい。これにより、図9(d)に示すように、引っ張り歪を有するSiC層44が形成された積層半導体基板を提供することができる。

できる。

【0062】また、上記実施形態では、図2 (b) に示す工程で、シリコン基板上にシリコングルマニウム層及びシリコン層を順次形成したが、シリコン基板上にSiGeC層及びシリコングルマニウム層を順次形成してもよい。これにより、図10 (a) に示すように、圧縮歪を有するシリコングルマニウム層46が形成された積層半導体基板を提供することができる。また、図2 (b) に示す工程で、シリコン基板上にSiGeC層及びシリコン層を形成してもよい。これにより、図10 (b) に示すように、圧縮歪を有するシリコン層48が形成された積層半導体基板を提供することができる。また、図2 (b) に示す工程で、シリコン基板上にSiC層及びシリコングルマニウム層を順次形成してもよい。これにより、図10 (c) に示すように、圧縮歪を有するシリコングルマニウム層50が形成された積層半導体基板を提供することができる。また、図2 (b) に示す工程で、シリコン基板上にSiC層及びシリコン層を形成してもよい。これにより、図10 (d) に示すように、圧縮歪を有するシリコン層52が形成された積層半導体基板を提供することができる。

【0063】

【発明の効果】以上の通り、本発明によれば、格子歪を有する半導体層の下に格子緩和したシリコングルマニウム層等が形成されていないため、半導体層とシリコングルマニウム層等との間で相互拡散が生じることがなく、高温のプロセスに耐えることができる。

【0064】また、本発明によれば、格子歪を有する半導体層をチャネル層に適用することにより、半導体装置の動作速度を向上することができる。

【0065】また、本発明によれば、格子歪を有する半導体層の下に絶縁膜が形成されているので、半導体装置と半導体基板との間の容量を低減することができ、更なる動作速度の向上を実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態による積層半導体基板を示す断面図である。

【図2】本発明の一実施形態による積層半導体基板の製造方法を示す工程断面図(その1)である。

【図3】本発明の一実施形態による積層半導体基板の製造方法を示す工程断面図(その2)である。

【図4】シリコン基板上にシリコングルマニウム層を形

成した場合の、ゲルマニウム組成と臨界膜厚との関係を示すグラフである。

【図5】本発明の一実施形態による積層半導体基板を用いたCMOSトランジスタを示す断面図である。

【図6】本発明の一実施形態による積層半導体基板を用いた半導体装置の製造方法を示す工程断面図(その1)である。

【図7】本発明の一実施形態による積層半導体基板を用いた半導体装置の製造方法を示す工程断面図(その2)である。

【図8】本発明の一実施形態による積層半導体基板の変形例を示す断面図(その1)である。

【図9】本発明の一実施形態による積層半導体基板の変形例を示す断面図(その2)である。

【図10】本発明の一実施形態による積層半導体基板の変形例を示す断面図(その3)である。

【符号の説明】

10…シリコン基板

12…シリコン酸化膜

14…シリコン層

16…シリコン基板

18…シリコングルマニウム層

20…素子分離領域

22a…n形半導体層

22b…p形半導体層

24…ゲート絶縁膜

26a、26b…ゲート電極

28…サイドウォール絶縁膜

30a、30b…ソース/ドレイン拡散層

32…ソース/ドレイン電極

34a…p-MOSトランジスタ

34b…n-MOSトランジスタ

36…シリコングルマニウム層

38…SiGeC層

40…SiGeC層

42…SiC層

44…SiC層

46…シリコングルマニウム層

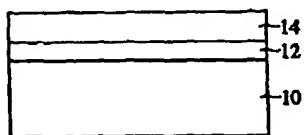
48…シリコン層

50…シリコングルマニウム層

52…シリコン層

【図1】

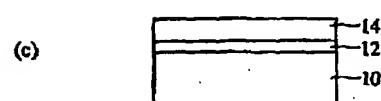
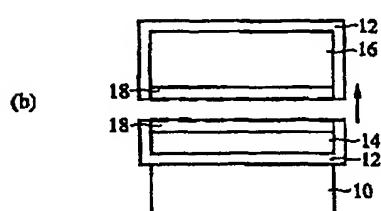
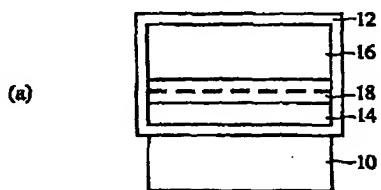
本発明の一実施形態による積層半導体基板を示す断面図



10…シリコン基板
12…シリコン酸化膜
14…シリコン層

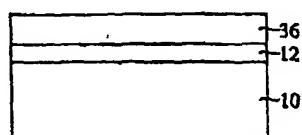
【図3】

本発明の一実施形態による積層半導体基板の製造方法を示す工程断面図(その2)



【図8】

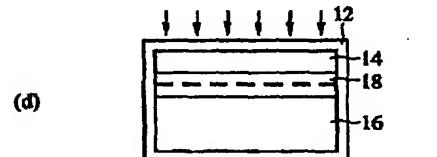
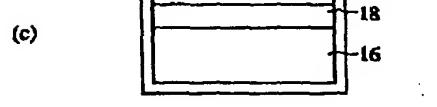
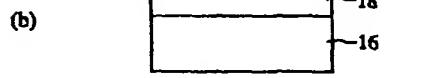
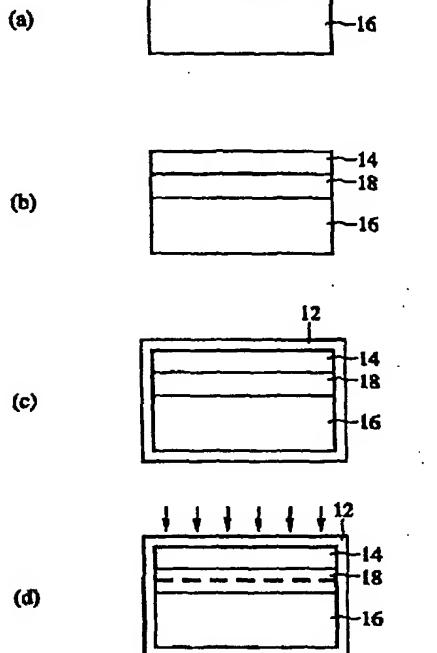
本発明の一実施形態による積層半導体基板の変形例を示す断面図(その1)



36…シリコンゲルマニウム層

【図2】

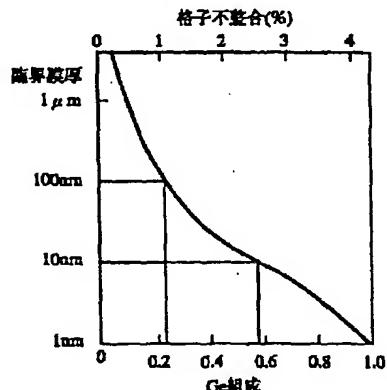
本発明の一実施形態による積層半導体基板の製造方法を示す工程断面図(その1)



16…シリコン基板
18…シリコンゲルマニウム層

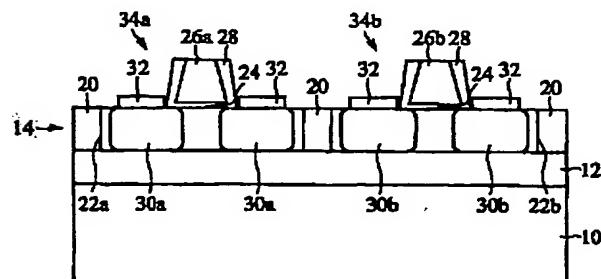
【図4】

シリコン基板上にシリコンゲルマニウム層を形成した場合の、ゲルマニウム組成と臨界膜厚との関係を示すグラフ



【図5】

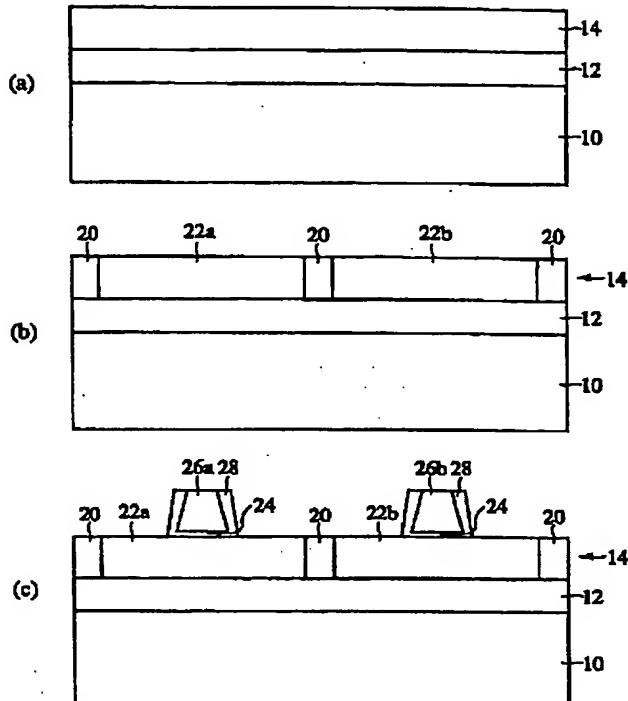
本発明の一実施形態による積層半導体基板を用いた
CMOSトランジスタを示す断面図



- 20…素子分離領域
- 22a…n形半導体層
- 22b…p形半導体層
- 24…ゲート絶縁膜
- 26a,26b…ゲート電極
- 28…サイドウォール絶縁膜
- 30a,30b…ソース/ドレイン拡散層
- 32…ソース/ドレイン電極
- 34a…p-MOSトランジスタ
- 34b…n-MOSトランジスタ

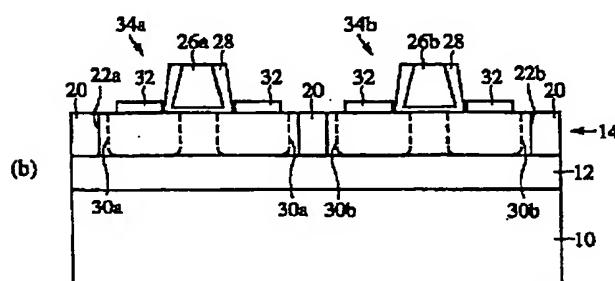
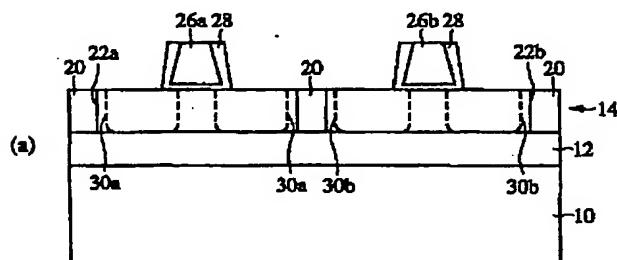
【図6】

本発明の一実施形態による積層半導体基板を用いた
半導体装置の製造方法を示す工程断面図(その1)



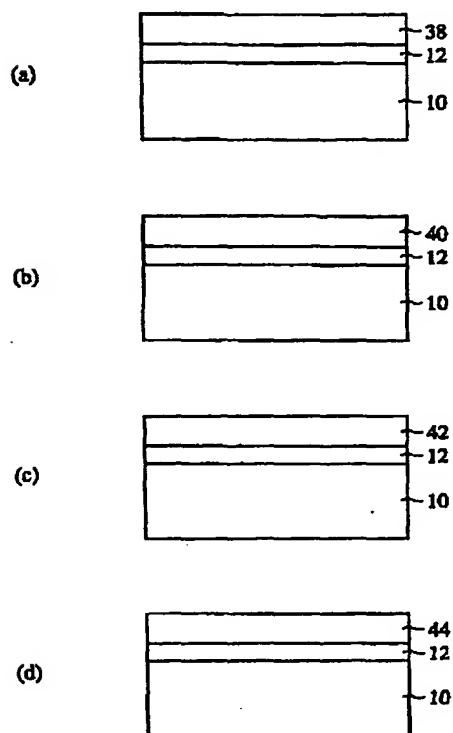
【図7】

本発明の一実施形態による積層半導体基板を用いた
半導体装置の製造方法を示す工程断面図(その2)



【図9】

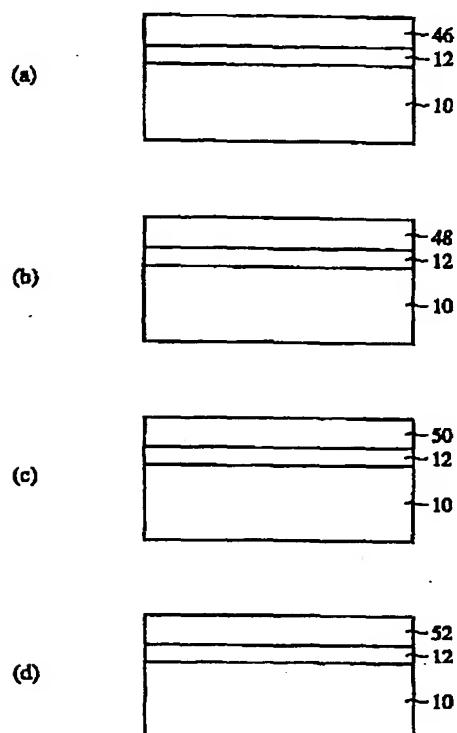
本発明の一実施形態による積層半導体基板の変形例を示す断面図(その2)



38…SiGeC層
40…SiGeC層
42…SiC層
44…SiC層

【図10】

本発明の一実施形態による積層半導体基板の変形例を示す断面図(その3)



46…シリコングルマニウム層
48…シリコン層
50…シリコングルマニウム層
52…シリコン層

フロントページの続き

Fターム(参考) 5F045 AA06 AB01 AB02 AB06 AB32
AF03 DA69 GH09 HA15 HA18
5F052 AA02 AA11 DA01 DB01 JA04
5F110 AA01 BB04 CC02 DD05 DD13
DD24 EE09 EE32 EE45 FF02
FF23 GG01 GG02 GG12 NN62
NN65 NN66 QQ11 QQ17